

⑫ 公開特許公報 (A) 昭63-250144

⑤Int.Cl.
H 01 L 21/60識別記号
厅内整理番号

6918-5F

⑩公開 昭和63年(1988)10月18日

審査請求 未請求 発明の数 1 (全3頁)

④発明の名称 ゲートアレイ半導体装置

⑪特願 昭62-85951

⑫出願 昭62(1987)4月7日

⑬発明者 小林剛 東京都港区芝5丁目33番1号 日本電気株式会社内

⑭出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑮代理人 弁理士 内原晋

明細書

発明の名称

ゲートアレイ半導体装置

特許請求の範囲

半導体基板上に内部セル領域とこの内部セル領域の周囲に形成される外部セル列とこの外部セル列の周囲に形成されるポンディングパッドとを有してなるゲートアレイ半導体装置において、前記基板の外周部に形成される前記ポンディングパッドの間隔をこのパッドの内側に形成される前記外部セル列のピッチに対して大きくし、且つ前記外部セル列の両端より外側に前記外部セル列の両端の外部セルに対応するポンディングパッドを形成するようにしたことを特徴とするゲートアレイ半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明はゲートアレイ半導体装置に関し、特に外部セル列とポンディングパッドとの配列を改めたゲートアレイ半導体装置に関する。

〔従来の技術〕

従来、この種のゲートアレイ半導体装置は外部セル列とポンディングパッドとが同じピッチで一対一に対応するように配置されている。

例えば、第4図はかかる従来の一例を示すゲートアレイ半導体装置の平面図である。

第4図に示すように、従来のゲートアレイ半導体装置を形成するチップ11はその四辺に外部セル12と、その外部セル12の外側に外部セル12と一対一に対応するポンディングパッド13とを形成し、外部セル12に囲まれた部分を内部セル領域14としている。

第5図は第4図に示すチップのコーナー部分の拡大図である。

第5図に示すように、チップ11における外部セル12とポンディングパッド13とは一対一に対応して形成され、未使用の外部セル15と配線

リード18で接続された未使用のポンディングパッド19とは外部パッドへのポンディングワイヤによる接続が行なわれないようになっている。

〔発明が解決しようとする問題点〕

前述した従来のゲートアレイ半導体装置は、外部セルとポンディングパッドが一対一対応のため、外部セルのないコーナーに配置されたポンディングパッドは電源用としてしか利用されていないという欠点がある。

また、或る外部セルやポンディングパッドが未使用であるときは、それに対応するポンディングパッドや外部セルも未使用となり、無駄なチップとなる欠点を有している。

本発明の目的は、かかるポンディングパッドや外部セルを有効に活用するゲートアレイ半導体装置を提供することにある。

〔問題点を解決するための手段〕

本発明は半導体基板上に内部セル領域とこの内部セル領域の周囲に形成される外部セル列とこの外部セル列の周囲に形成されるポンディングパッ

ドとを有してなるゲートアレイ半導体装置において、前記基板の外周部に形成される前記ポンディングパッドの間隔をこのパッドの内部に形成される前記外部セル列の両端より外側に前記セル列の両端の外部セルに対応するポンディングパッドを形成するように構成される。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第一の実施例を説明するためのゲートアレイ半導体装置の平面図である。

第1図に示すように、かかるゲートアレイ半導体装置はチップ1の外周部近傍の四辺に外部セル2を形成し、その外側に間隔を外部セル2の間隔よりも大きくしたポンディングパッド3を形成する。これにより、ポンディングパッド3の数は外部セル2の数よりも少なくなる。しかる後、使用するパッド3と外部セル2とを配線リード(図示省略)により接続する。尚、外部セル2によって囲まれた領域は内部セル領域4を形成し

ている。

かかるゲートアレイ半導体装置は、第1図からも明らかなように、外部セル2とポンディングパッド3との間隔は一対一対応にはなっておらず、外部セル列の両端より外側にセル列の両端の外部セル2に対応するポンディングパッド3を形成するようにしている。

第2図は第1図におけるコーナー部分の拡大図である。

第2図に示すように、外部セル2とポンディングパッド3の対応は自由なものとなり、コーナーのポンディングパッド3も有効に利用することができる。

第3図は本発明の第二の実施例を説明するためのコーナー近傍の拡大図である。

第3図に示すように未使用セル5は内部セル領域4との間に、外部セルから内部セルへの信号の流れ6および内部セルから外部セルへの信号の流れ7のとおり、信号の送受を行って内部セルの一部として使用するものである。また、配線リード

8は使用するポンディングパッド3と使用するセル2間を接続するリードである。

かかる構成とすることにより、本実施例では外部セル2のうち未使用の外部セル5を内部セル4の一部として利用し、セル利用の効率化を図ることができる。

〔発明の効果〕

以上説明したように、本発明は外部セルとポンディングパッドの対応が自由なためコーナーのポンディングパッドなども有効に利用できる効果がある。

また、未使用の外部セルを内部セルの一部として利用することによりセル利用の効率化をも図れる効果がある。

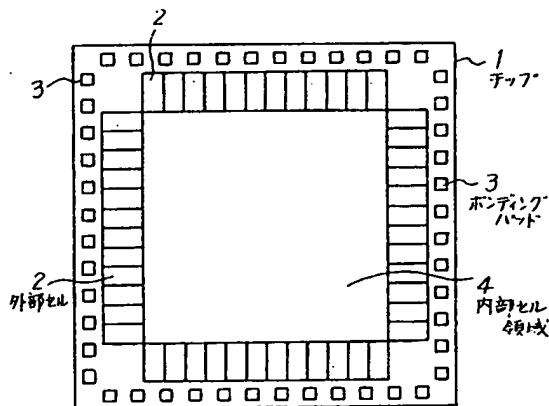
図面の簡単な説明

第1図は本発明の第一の実施例を説明するためのゲートアレイ半導体装置の平面図、第2図は第1図におけるコーナー部分の拡大図、第3図は本発明の第二の実施例を説明するためのコーナー近

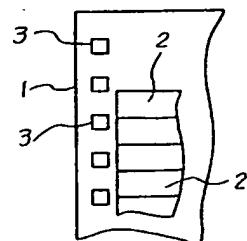
傍の拡大図、第4図は従来のゲートアレイ半導体装置の平面図、第5図は第4図におけるコーナー部分の拡大図である。

1…チップ、2…外部セル、3…ボンディングパッド、4…内部セル領域、5…未使用外部セル、6…外部セルから内部セルへの信号の流れ、7…内部セルから外部セルへの信号の流れ、8…配線リード。

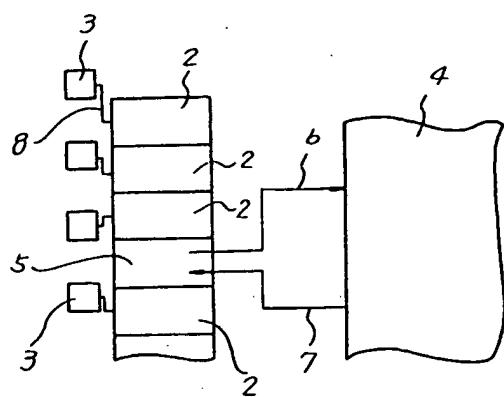
代理人 弁理士 内原 誠



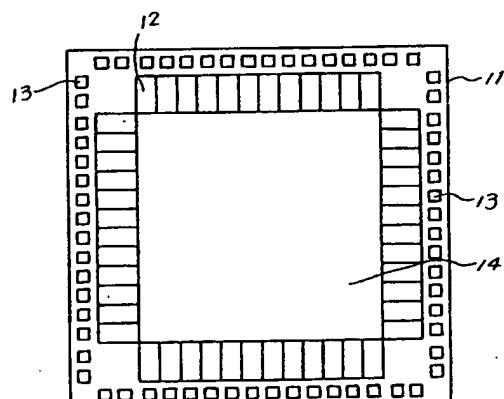
第1図



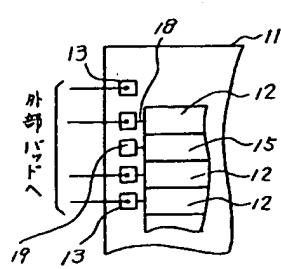
第2図



第3図



第4図



第5図

PAT-NO: JP363250144A
DOCUMENT-IDENTIFIER: JP 63250144 A
TITLE: GATE ARRAY SEMICONDUCTOR DEVICE
PUBN-DATE: October 18, 1988

INVENTOR-INFORMATION:

NAME
KOBAYASHI, TAKESHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP62085951
APPL-DATE: April 7, 1987

INT-CL (IPC): H01L021/60

US-CL-CURRENT: 257/786

ABSTRACT:

PURPOSE: To effectively utilize bonding pads and external cells by a method wherein an interval between the bonding pads formed at the outer circumference of a substrate is made wide with reference to a space between external cell rows formed at the inside of the pads.

CONSTITUTION: The following are formed on a semiconductor substrate: an internal cell region 4; external cell rows 2 formed at the circumference of the internal cell region 4; bonding pads 3 formed at the circumference of the external cell rows 2. In this gate array semiconductor

device, an interval between the bonding pads 3 formed at the external circumference of the substrate is made wide with reference to a space between the external cell rows 2 formed at the inside of the pads 3. Furthermore, bonding pads corresponding to external cells at both ends of the external cell rows 2 are formed at the outside from both ends of the external cell rows 2. By this setup, the external cells can correspond to the bonding pads 3 freely; it is possible to effectively utilize the bonding pads 3 at corners and the unused external cells.

COPYRIGHT: (C)1988, JPO&Japio